

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In the application of:

Harry HEDLER et al.

Serial No.: New Application

Examiner: Not Yet Assigned

Filing Date: November 26, 2003

Group Art Unit: Not Yet Assigned

For: SEMICONDUCTOR COMPONENT...

SUBMISSION OF CERTIFIED FOREIGN PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

Sir:

Under the provisions of 35 USC 119, Applicants hereby claim the benefit of the filing of German patent application No. 102 55 848.5 filed November 29, 2002.

The certified priority document is attached to perfect Applicant's claim for priority.

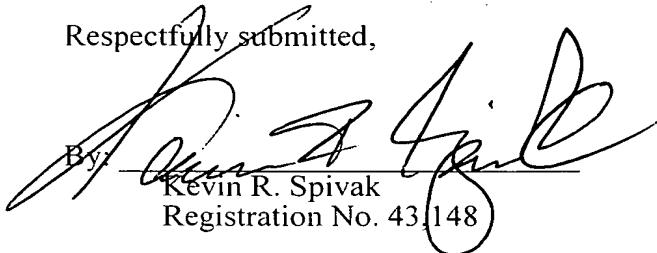
It is respectfully requested that the receipt of the certified copy attached hereto be acknowledged in this application.

In the event that the transmittal letter is separated from this document and the Patent and Trademark Office determines that an extension and/or other relief is required, applicants petition for any required relief including extensions of time and authorize the Commissioner to charge the cost of such petitions and/or other fees due in connection with the filing of this document to **Deposit Account No. 03-1952** referencing **543822002200**.

Dated: November 26, 2003

Respectfully submitted,

By:


Kevin R. Spivak
Registration No. 43,148

Morrison & Foerster LLP
1650 Tysons Boulevard, Suite 300
McLean, Virginia 22102
Telephone: (703) 760-7762
Facsimile: (703) 760-7777

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 55 848.5

Anmeldetag: 29. November 2002

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Halbleiterbauelement und Verfahren zu seiner Herstellung

IPC: H 01 L 25/065

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 5. November 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

A large, handwritten signature in black ink, appearing to read 'K. Schäfer', is written over a diagonal line. Below the signature, the name 'Schäfer' is printed in a smaller, sans-serif font.

Beschreibung

Halbleiterbauelement und Verfahren zu seiner Herstellung

5 Die Erfindung betrifft ein Halbleiterbauelement, insbesondere ein Speichermodul, mit einer Trägerplatine und mit mehreren Halbleiterchips, insbesondere Speicherchips. Darüber hinaus betrifft die Erfindung ein Verfahren zur Herstellung von Halbleiterbauelementen.

10 Eine preiswerte und leicht aufrüstbare Lösung für Speichersysteme stellt die SSTL (Series Stub Terminated Logic)-Topologie dar. Bei hohen Taktfrequenzen, beispielsweise bei Taktfrequenzen oberhalb 150 MHz, ist die Leistungsfähigkeit 15 derartiger Speichersysteme jedoch eingeschränkt, da der Memory Controller (MC) nur eine begrenzte kapazitive Last bedienen kann. So ist beispielsweise die SSTL-Topologie für ein DDR II (Double Date Rate)-System bei 266 MHz Taktrate auf die Verwendung von vier DRAM (Dynamic RAM)-Elementen begrenzt. Da 20 in herkömmlichen Rechnersystemen zumeist vier Steckplätze zur Bestückung mit Speichermodulen bereitgestellt werden, können somit entweder zwei Steckplätze mit jeweils zwei Speicherelementen oder alle vier Steckplätze mit jeweils einem Speicher- element bestückt werden.

25 Um diesen Nachteil zu beheben, wurde die so genannte SLT (Short Loop Through)-Bus-Topologie vorgeschlagen. Sie basiert darauf, die Zahl der Abzweigungen zu verringern, die notwendig sind, um Signale vom Speicherbus zu den einzelnen Speichermodulen zu transportieren. Um Signalreflektionen zu verringern, wird dazu eine Reihe von Controller-Treibern direkt 30 mit jedem Speichermodul verbunden. Von Nachteil bei dieser Lösung ist, dass bei gleichbleibender Anzahl der Anschlussstifte am Anschlussstück (Connector) die Busbreite halbiert 35 wird, da der gesamte Datenbus durch jedes Speichermodul hindurchgeführt werden muss. Ein größeres Anschlussstück mit mehr Anschlussstiften, mit dem der Einsatz der vollen Bus-

breite möglich wäre, würde jedoch zu Problemen bei der Herstellung und beim Einbau in der Hauptplatine (Motherboard) führen.

5 Aufgabe der vorliegenden Erfindung ist es daher, die Speicherdichte für SLT-Topologien zu erhöhen. Diese Aufgabe wird durch ein Halbleiterbauelement nach Anspruch 1 sowie eine Hauptplatine nach Anspruch 7 sowie mittels des Verfahrens nach Anspruch 8 gelöst.

10

Eine Grundidee der Erfindung ist es, die Halbleiterchips direkt auf der Trägerplatine (PCB, Printed Circuit Board) anzurichten, so dass die Verwendung der bisher auf den Trägerplatten in entsprechenden Steckplätzen vorgesehenen Zwischen-
15 träger zur Aufnahme der Halbleiterchips nicht mehr erforderlich ist. Bei gegenüber herkömmlichen Lösungen gleichbleibendem Platzbedarf auf der Hauptplatine kann somit eine Erhöhung der Speicherdichte erreicht werden. Gleichzeitig wird eine stabile Umgebung für die SLT-Topologie geschaffen. Durch die
20 Hochkant-Anordnung der einzelnen Halbleiterchips können bei SLT-Topologie bisher nicht erreichte Speicherdichten erzielt werden. Der Speicher/Volumen-Faktor kann dabei je nach Art der verwendeten DRAM-Speicherelemente festgelegt werden.

25 Dabei kommt es darauf an, dass die Halbleiterchips nicht wie bisher mit ihrer Hauptseite flach auf dem Zwischenträger angebracht sind. Vielmehr werden die Halbleiterchips nun vertikal auf der Trägerplatine angeordnet, so dass die parallel zur Hauptseite verlaufende Hauptebene des Halbleiterchips
30 senkrecht zur Trägerplatine verläuft. Mit anderen Worten sind die Halbleiterchips auf einer ihrer Schmalseiten stehend auf der Trägerplatine angeordnet.

35 Die mit Halbleiterchips versehene Trägerplatine kann als Speichermodul direkt in entsprechenden Aufnahmeverrichtungen der Hauptplatine aufgenommen werden. Ist sie dabei parallel zur Hauptplatine angeordnet, werden zur Montage der Träger-

platine nur zwei Anschlussstücke benötigt. Von Vorteil ist weiterhin, dass die Zahl der Lötpunkte auf der Hauptplatine dadurch wesentlich verringert wird.

5 In einer bevorzugten Ausgestaltungsform der Erfindung sind die Halbleiterchips mit der Trägerplatine durch Lötverbindungen verbunden. Der Einsatz von Lötverbindungen garantiert eine besonders sichere und langlebige elektrische Verbindung zwischen Halbleiterchip und Trägerplatine.

10 In einer weiteren bevorzugten Ausgestaltungsform der Erfindung weisen die Halbleiterchips auf einer ihrer Hauptseiten gedruckte Leitungen auf. Diese dienen zur elektrischen Verbindung der Kontaktstellen der Halbleiterchips mit Kontaktflächen der Trägerplatine. Besonders vorteilhaft ist es, wenn die gedruckten Leitungen über die Unterkanten der Hauptseiten der Halbleiterchips hinaus auf die Fußseiten der Halbleiterchips verlaufen. Dann ist das Befestigen der Halbleiterchips auf der Trägerplatine besonders einfach möglich, da der Halbleiterchip mit seiner Fußseite nur noch auf die entsprechenden Kontaktflächen der Trägerplatine aufgesetzt und anschließend verlötet werden muss.

25 Eine besonders bevorzugte Ausgestaltungsform der Erfindung sieht vor, jeweils zwei Halbleiterchips zu einem Chipverbund zusammenzufassen. Dadurch wird ein sogenanntes DDP (Double-Density Package)-System hergestellt, dass es erlaubt, zwei Halbleiterchips auf dem gleichen Raum wie einen herkömmlichen Halbleiterchip anzuordnen. Hierzu werden die beiden Halbleiterchips vorzugsweise an ihren kontaktstellenfreien Hauptseiten durch einen Kleber miteinander verbunden. Durch die Verwendung eines solchen Chipverbundes lässt sich die Speicherdichte nochmals erheblich anheben. Darüber hinaus wird die Leistungsfähigkeit des Speichersystems gesteigert und das 30 Kostenrisiko bei der Herstellung des Speicher-Subsystems verringert.

Die Erfindung betrifft darüber hinaus ein Verfahren zur Herstellung von Halbleiterbauelementen. Dieses Verfahren sieht vor, nach dem Bedrucken der Hauptseiten von Halbleiterchips mit elektrischen Leitungen durch Verkleben jeweils zweier Halbleiterchips einen Chipverbund herzustellen, der anschließend auf einer Trägerplatine derart angebracht wird, dass die Hauptebenen der Halbleiterchips senkrecht zur Trägerplatine verlaufen. Mit einem solchen Verfahren lassen sich Halbleiterbauelemente mit besonders hoher Speicherdichte herstellen.

10

Besonders vorteilhaft ist eine Ausführungsform des Verfahrens, wonach das Verkleben der Halbleiterchips derart erfolgt, dass nach dem Einbringen eines Klebers zwischen die Hauptseiten der Halbleiterchips diese in einer Klebeform zusammengeführt werde derart, dass eine zumindest teilweise Kapselung des Chipverbundes entsteht. Dadurch wird der Chipverbund nicht nur mechanisch stabilisiert, sondern auch gegenüber äußeren Einflüssen abgeschirmt. Wird ein elastischer Kleber verwendet, so können darüber hinaus auch mechanische Wechselbeanspruchungen aufgrund unterschiedlicher thermischer Längenausdehnungskoeffizienten ausgeglichen werden.

15

20

Weitere Vorteile, Besonderheiten und zweckmäßige Weiterbildungen der Erfindung ergeben sich aus den weiteren Unteransprüchen oder deren Unterkombinationen.

25

Nachfolgend wird die Erfindung anhand der Zeichnung weiter erläutert.

30 Dabei zeigt:

Fig. 1 eine Seitenansicht eines Speicherchips mit gedruckten Schaltungen,

35 Fig. 2 eine Draufsicht auf eine Hauptseite des Speicherchips aus Fig. 1,

Fig. 3 eine Seitenansicht eines Chipverbundes zu Beginn des Klebevorganges,

Fig. 4 eine Seitenansicht eines Chipverbundes nach abgeschlossenem Klebevorgang,

Fig. 5 eine Seitenansicht eines auf einer Trägerplatine angebrachten Chipverbundes,

Fig. 6 eine Draufsicht auf eine Trägerplatine mit mehreren Chipverbünden, und

Fig. 7 eine Seitenansicht einer bestückten Trägerplatine beim Einbau auf eine Hauptplatine.

15

In den Fig. 1 und 2 ist ein Speicherchip 1 abgebildet, wie er zur Herstellung eines erfindungsgemäßen Speichermoduls verwendet wird. Der Speicherchip 1 weist auf einer seiner Hauptseiten 2 Kontaktstellen (pads) 3 auf. Diese sind zur Herstellung einer elektrischen Verbindung mit den Kontaktflächen einer Trägerplatine mit Leitungen 4 versehen, die zuvor auf der Oberfläche des Speicherchips 1 mit einem geeigneten Verfahren aufgedruckt worden sind. Die gedruckten Leitungen 4 verlaufen über die Unterkante 5 der Hauptseite 2 des Speicherchips 1 hinaus auf die Fußseite 6 des Speicherchips 1, so dass der Speicherchip 1 zur Kontaktierung mit den Kontaktflächen der Trägerplatine lediglich mit seiner Fußseite 6 auf die Trägerplatine aufgesetzt werden muss.

30

Die Fig. 3 und 4 zeigen verschiedene Phasen im Herstellungsprozess eines Chipverbundes 7 aus zwei Speicherchips 1. Danach werden zunächst die kontaktstellenfreien Hauptseiten 8 der beiden Speicherchips 1 derart angeordnet, dass sie aufeinander zu weisen. Dann wird in einem sogenannten Underfill-Prozess und/oder durch Einspritzen eines Klebers 9 in Einspritzrichtung 10 der Zwischenraum 11 zwischen den Hauptsei-

ten 8 der beiden Speicherchips 1 ausgefüllt. Anschließend werden die beiden Speicherchips 1 durch Aufeinanderzubewegen in Druckrichtung 12 zusammengefügt. Das Zusammenführen der Speicherchips 1 erfolgt dabei in einer Klebeform derart, dass 5 durch Austreten des Klebers 9 zwischen den Hauptseiten 8 in die Klebeform eine zumindest teilweise Kapselung des Chipverbundes 7 entsteht. Gleichzeitig bildet sich an der Fußseite 13 des Chipverbundes 7 zwischen den elektrischen Anschlussstellen der beiden Speicherchips 1 ein elastisches Trennelement 14 in Form einer über die elektrischen Leitungen 4 hinausragenden Erhebung. Dieses Trennelement 14 dient neben der Isolierung der Leiterbahnen auch der mechanischen Stabilisierung bei der Montage des Chipverbundes 7.

15 Zur Montage des Chipverbundes 7 wird dieser in Aufbaurichtung 15 auf einer Trägerplatine 16 angebracht und verlötet. Fig. 5 zeigt ein Speichermodul 28 mit einer PCB-Trägerplatine 16, auf der ein Chipverbund 7 befestigt ist. Die Leitungen 4 an der Fußseite 6 der Speicherchips 1 sind dabei durch Lötpunkte 20 17 mit den entsprechenden Kontaktflächen 18 auf der Trägerplatine 16 verbunden. Die Speicherchips 1 werden somit mit ihren Hauptebenen 19 senkrecht zur Trägerplatine 16 montiert. Die Bauhöhe 20 eines solchen Chipverbundes 7 beträgt beispielsweise 10 mm.

25 Die Trägerplatine 16 weist an ihren Längsseiten 21 Kontaktelemente 22 zur Kontaktierung mit auf einer Hauptplatine angebrachten Randsteckern auf. Die Kontakt elemente 22 dienen dabei entweder einer rein mechanischen Sicherung der Trägerplatine 16 oder aber gleichzeitig für eine fly-by-30 Termination. Die Art und Weise der Anordnung der Chipverbünde 7 auf der Trägerplatine 16 zeigt Fig. 6. Hierbei sind nur fünf der hier beispielhaft neun möglichen Plätze belegt.

35 Fig. 7 zeigt schließlich die Art und Weise des Einbaus des Speichermoduls, bestehend aus der mit den Chipverbünden 7 bestückten Trägerplatine 16, auf eine PCB-Hauptplatine 23

eines Rechnersystems. Auf der Hauptplatine 23 sind entsprechende 90°-SMT-Randstecker 24 zur Montage der Trägerplatine 16 angebracht. Zur Montage wird die Trägerplatine in Einbaurichtung 25 auf die Hauptplatine 23 zugeführt, bis die Kontakttelemente 22 an den Längsseiten der Trägerplatine 16 mit den Randsteckern 24 in Eingriff gelangen. Zur mechanischen Unterstützung der Trägerplatine 16 sind auf der Hauptplatine 24 elastische Stützelemente 25 vorgesehen, auf denen die Trägerplatine 16 im montierten Zustand aufliegt. In Montageendstellung verläuft die Trägerplatine 16 dann parallel zur Hauptplatine 23. Die Ansteuerung der Speicherchips 1 erfolgt über einen Memory Controller 27, der auf der Hauptplatine 23 angeordnet ist und mittels der auf der Hauptplatine 23 aufgedruckten Schaltungen über die Randstecker 24 mit den Speicherchips 1 verbunden ist.

Patentansprüche

1. Halbleiterbauelement (28), insbesondere Speichermodul, mit einer Trägerplatine (16) und mit mehreren Halbleiterchips

5 (1), insbesondere Speicherchips,

d a d u r c h g e k e n n z e i c h n e t,

dass die Halbleiterchips (1) auf der Trägerplatine (16) angebracht sind derart, dass deren Hauptebenen (19) senkrecht zur Trägerplatine (16) verlaufen.

10

2. Halbleiterbauelement (28) nach Anspruch 1,

d a d u r c h g e k e n n z e i c h n e t,

dass die Halbleiterchips (1) mit der Trägerplatine (16) durch Lötverbindungen (17) verbunden sind.

15

3. Halbleiterbauelement (28) nach Anspruch 1 oder 2,

d a d u r c h g e k e n n z e i c h n e t,

dass die Halbleiterchips (1) auf einer ihrer Hauptseiten (2) gedruckte Leitungen (4) zur elektrischen Verbindung der Kontaktstellen (3) der Halbleiterchips (1) mit Kontaktflächen (18) der Trägerplatine (16) aufweisen.

20

4. Halbleiterbauelement (28) nach Anspruch 3,

d a d u r c h g e k e n n z e i c h n e t,

25

dass die gedruckten Leitungen (4) über die Unterkanten (5)

der Hauptseiten (2) hinaus auf die Fußseiten (6) der Halbleiterchips (1) verlaufen.

30

5. Halbleiterbauelement (28) nach einem der Ansprüche 1 bis

4,

d a d u r c h g e k e n n z e i c h n e t,

dass jeweils zwei Halbleiterchips (1) zu einem Chipverbund (7) zusammengefasst sind.

6. Halbleiterbauelement (28) nach Anspruch 5,
d a d u r c h g e k e n n z e i c h n e t,
dass die beiden Halbleiterchips (1) an ihren kontaktstellen-
freien Hauptseiten (8) durch einen Kleber (9) miteinander
5 verbunden sind.

7. Hauptplatine (23) für ein Rechnersystem, mit einem Halb-
leiterbauelement (28) nach einem der Ansprüche 1 bis 6,
d a d u r c h g e k e n n z e i c h n e t,
10 dass die Trägerplatine (16) des Halbleiterbauelements (28)
parallel zur Hauptplatine (23) angeordnet ist.

8. Verfahren zur Herstellung von Halbleiterbauelementen (28),
mit den Schritten:

15 - Bedrucken der Hauptseiten (2) von Halbleiterchips (1) mit
elektrischen Leitungen (4) derart, dass die Leitungen (4) von
Kontaktstellen (3) der Halbleiterchips (1) über die Unterkanten
10 (5) der Hauptseiten (2) hinaus auf die Fußseiten (6) der
Halbleiterchips (1) verlaufen,
20 - Herstellen eines Chipverbundes (7) durch Verkleben der
nicht bedruckten Hauptseiten (8) jeweils zweier Halbleiter-
chips (1) miteinander und
- Anbringen des Chipverbundes (7) auf einer Trägerplatine
15 (16) derart, dass die Hauptebenen (19) der Halbleiterchips
25 (1) senkrecht zur Trägerplatine (16) verlaufen.

9. Verfahren nach Anspruch 8,
d a d u r c h g e k e n n z e i c h n e t,
dass das Verkleben umfasst:

30 - Einbringen eines Klebers (9) zwischen die Hauptseiten (8)
der Halbleiterchips (1) und
- Zusammenführen der Halbleiterchips (1) in einer Klebeform
derart, dass eine zumindest teilweise Kapselung des Chipver-
bundes (7) entsteht.

10. Verfahren nach Anspruch 8 oder 9,
d a d u r c h g e k e n n z e i c h n e t,
dass das Anbringen des Chipverbundes (7) das Herstellen von
5 Lötverbindungen (17) zwischen den gedruckten Leitungen (4)
und Kontaktflächen (18) der Trägerplatine (16) umfasst.

Zusammenfassung

Halbleiterbauelement und Verfahren zu seiner Herstellung

5 Die Erfinung betrifft ein Halbleiterbauelement 28, insbesondere Speichermodul, mit einer Trägerplatine 16 und mit mehreren Halbleiterchips 1, insbesondere Speicherchips, wobei die Halbleiterchips 1 auf der Trägerplatine 16 angebracht sind derart, dass deren Hauptebenen 19 senkrecht zur Trägerplatine
10 16 verlaufen. Darüber hinaus betrifft die Erfinung ein Verfahren zur Herstellung von Halbleiterbauelementen 28.

(Fig. 4)

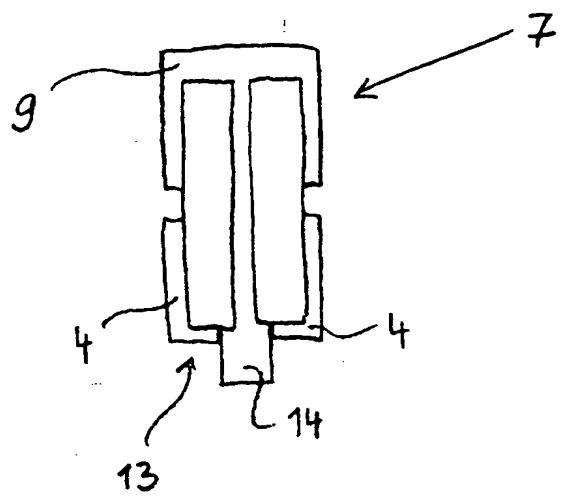


Fig. 4

Bezugszeichenliste

	1	Speicherchip
5	2	Hauptseite
	3	Kontaktstelle
	4	Leitung
	5	Unterkante
	6	Fußseite
10	7	Chipverbund
	8	Hauptseite
	9	Kleber
	10	Einspritzrichtung
	11	Zwischenraum
15	12	Druckrichtung
	13	Fußseite
	14	Trennelement
	15	Aufbaurichtung
	16	Trägerplatine
20	17	Lötpunkt
	18	Kontaktfläche
	19	Hauptebene
	20	Bauhöhe
	21	Längsseite
25	22	Kontaktelement
	23	Hauptplatine
	24	Randstecker
	25	Einbaurichtung
	26	Stützelement
30	27	Memory Controller
	28	Speichermodul

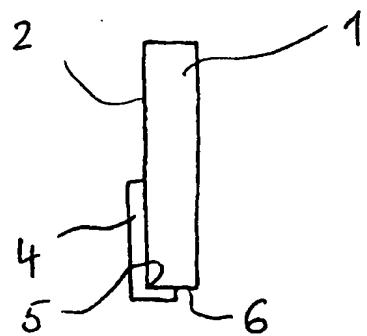


Fig. 1

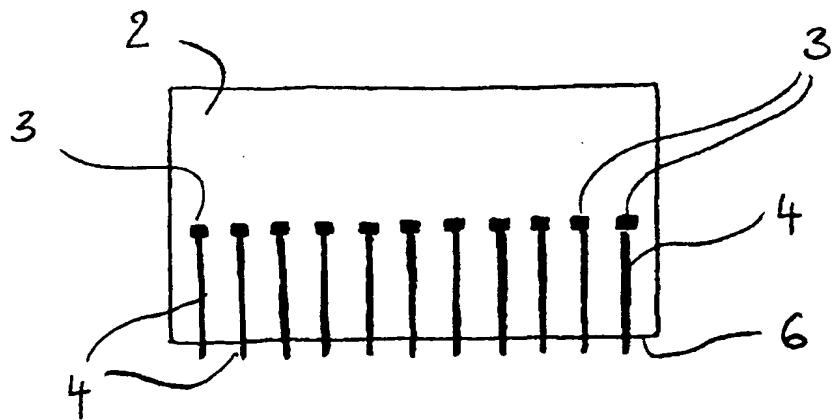


Fig. 2

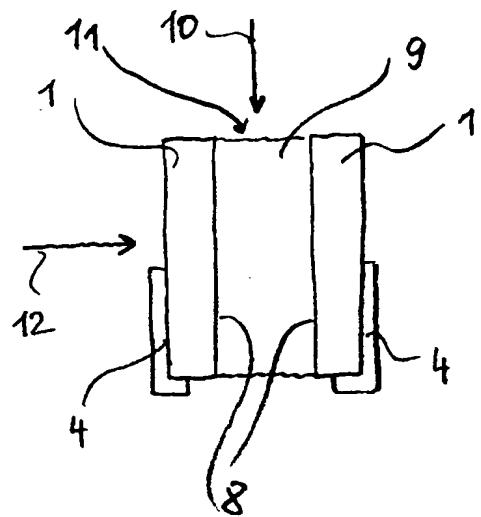


Fig. 3

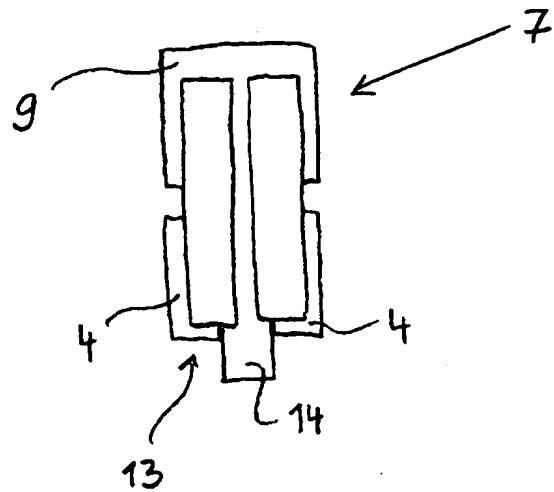


Fig. 4

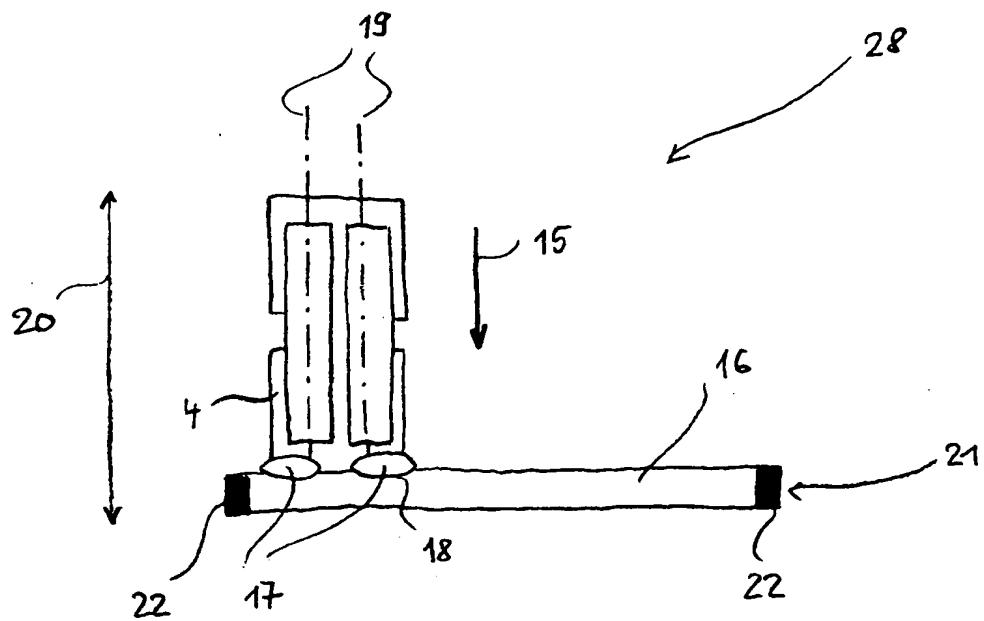


Fig. 5

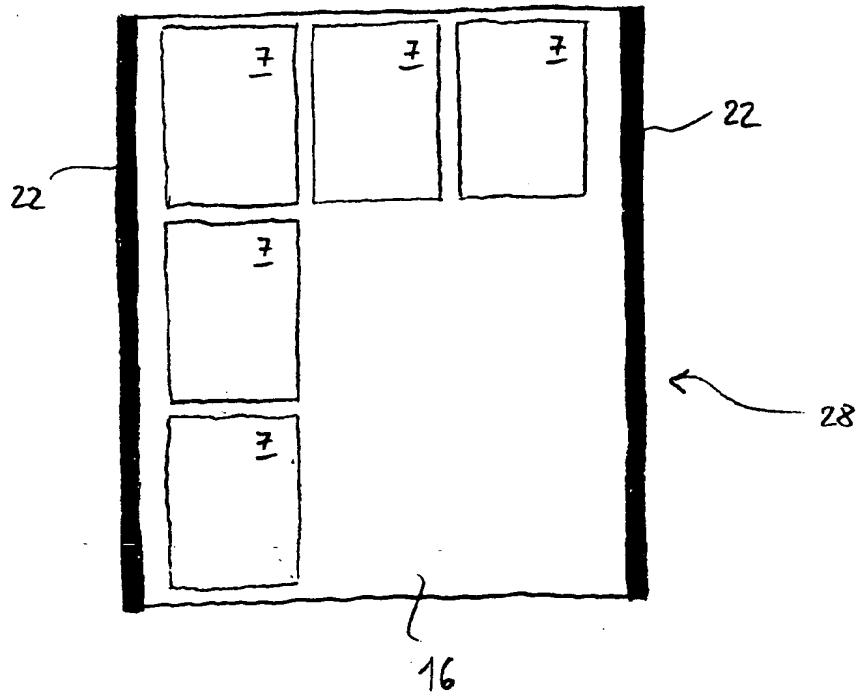


Fig. 6

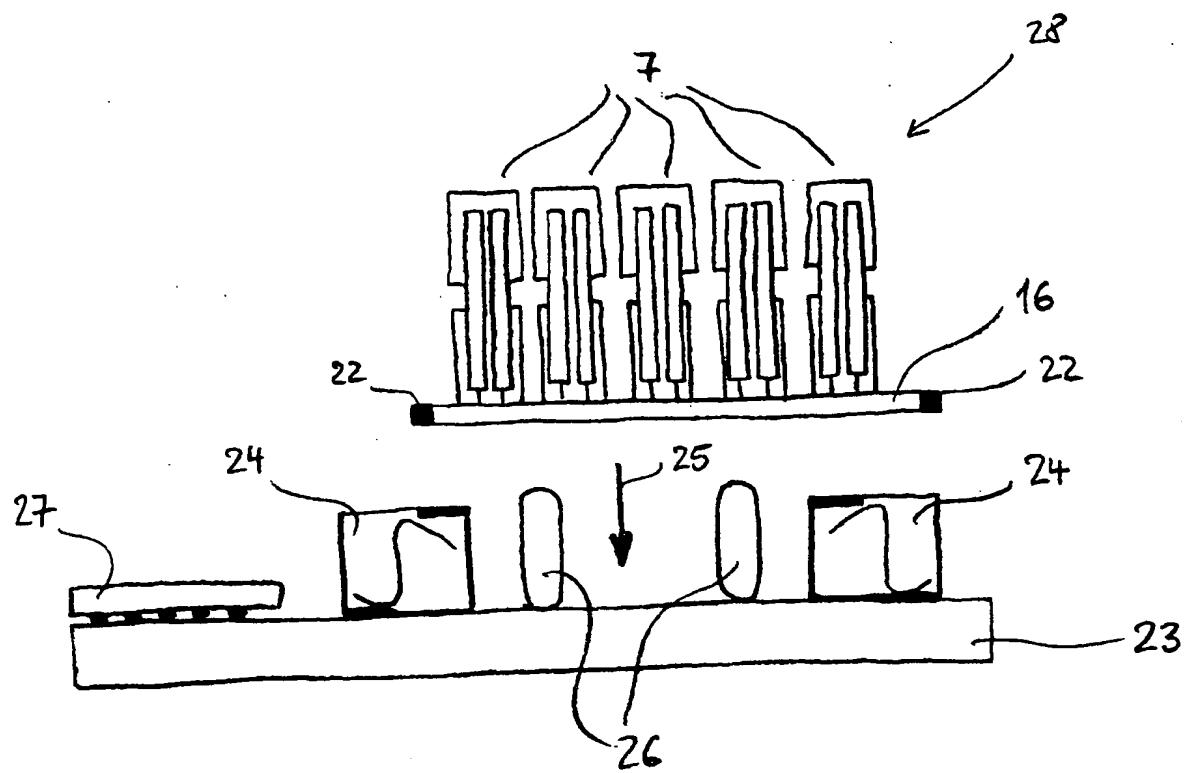


Fig. 7